

**Universidad Católica San Pablo**  
**Facultad de Ingeniería y Computación**  
**Escuela Profesional de**  
**Ciencia de la Computación**  
**SILABO**



**CS220T. Arquitectura de Computadores (Obligatorio)**

2010-1

**1. DATOS GENERALES**

1.1 CARRERA PROFESIONAL	:	Ciencia de la Computación
1.2 ASIGNATURA	:	CS220T. Arquitectura de Computadores
1.3 SEMESTRE ACADÉMICO	:	3 <sup>er</sup> Semestre.
1.4 PREREQUISITO(S)	:	CS106. Estructuras Discretas II. (2 <sup>do</sup> Sem)
1.5 CARÁCTER	:	Obligatorio
1.6 HORAS	:	2 HT; 2 HL;
1.7 CRÉDITOS	:	3

**2. DOCENTE**

**3. FUNDAMENTACIÓN DEL CURSO**

El conocimiento de la estructura y funcionamiento de un sistema de cómputo sobre el cual gira el entorno de programación. Con ello se establece los límites de las aplicaciones que se desarrollen en la plataforma adecuada. Permite dotar al alumno de conceptos para la evaluación de los rendimientos de las distintas configuraciones de equipos y su mantenimiento.

**4. SUMILLA**

1. AR/Lógica Digital y Representación de Datos.2. AR/Arquitectura y Organización de Computadores.3. AR/Arquitectura de Memoria.4. AR/Interfases y Estrategias de I/O.5. AR/Organización Funcional.6. AR/Multiprocesamiento.7. AR/Mejoras de Desempeño.8. AR/Arquitecturas Distribuidas.9. AR/Dispositivos.10. AR/Tendencias en Computación.

**5. OBJETIVO GENERAL**

- Permitir al alumno gestionar adecuadamente el hardware y el software de un sistema de cómputo.
- Garantizar el buen desempeño y la eficiencia de la futura codificación.

**6. CONTRIBUCIÓN A LA FORMACIÓN PROFESIONAL Y FORMACIÓN GENERAL**

Esta disciplina contribuye al logro de los siguientes resultados de la carrera:

- b) Analizar problemas e identificar y definir los requerimientos computacionales apropiados para su solución. [Nivel Bloom: 4]
- k) Aplicar los principios de desarrollo y diseño en la construcción de sistemas de software de complejidad variable. [Nivel Bloom: 4]

**7. CONTENIDOS**

<b>UNIDAD 1: AR/Lógica Digital y Representación de Datos.(4 horas)</b>	
<b>Nivel Bloom: 4</b>	
<b>OBJETIVO GENERAL</b>	<b>CONTENIDO</b>
<ul style="list-style-type: none"> <li>▪ Diseñar un circuito simple usando los bloques de construcción fundamentales.</li> <li>▪ Apreciar el efecto de las operaciones AND, OR, NOT y XOR en datos binarios.</li> <li>▪ Entender como números, texto, imágenes y sonido pueden ser representados en forma digital y discutir las limitaciones en cada representación.</li> <li>▪ Entender los errores debido a los efectos de redondeo y como su propagación afecta la precisión de cálculos encadenados.</li> <li>▪ Apreciar como los datos pueden ser comprimidos para reducir los requerimientos de almacenamiento incluyendo el concepto de pérdida de información debido a la compresión.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Introducción a la lógica digital (compuertas lógicas, flip-flops, circuitos).</li> <li>▪ Expresiones lógicas y expresiones booleanas.</li> <li>▪ Representación datos numéricos.</li> <li>▪ Aritmética con signo y sin signo.</li> <li>▪ Rango, precisión y errores en aritmética de punto flotante.</li> <li>▪ Representación de texto, audio e imágenes.</li> <li>▪ Compresión de datos.</li> </ul>
<b>Lecturas:</b> [Mano, 1992], [Brey, 2005]	

UNIDAD 2: AR/Arquitectura y Organización de Computadores.(8 horas)	
Nivel Bloom: 3	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Describir el progreso de las computadoras desde los tubos de vacío hasta la <i>Very Large Scale Integration</i> (VLSI).</li> <li>▪ Apreciar el conjunto de instrucciones de la arquitectura, <i>Industry Standard Architecture</i> (ISA) y la naturaleza de instrucciones a nivel de máquina en términos de su funcionalidad y uso de recursos (registros y memoria).</li> <li>▪ Entender la relación entre el conjunto de instrucciones de arquitectura, microarquitectura y arquitectura del sistema así como sus roles en el desarrollo de la computadora.</li> <li>▪ Prestar atención a las varias clases de instrucciones: movimiento de datos, aritmética, lógica y control de flujo.</li> <li>▪ Apreciar la diferencia entre ISAs registro-a-memoria e ISAs de carga/almacenamiento.</li> <li>▪ Apreciar como las operaciones condicionales están implementadas a nivel de máquina.</li> <li>▪ Entender la forma en la cual se ejecuta el llamado y retorno de subrutinas.</li> <li>▪ Apreciar como la falta de recursos en Proveedores de Servicios de Internet (<i>Internet Service Providers-ISP</i>) tiene un impacto en los lenguajes de alto nivel y en el diseño de compiladores.</li> <li>▪ Entender como, a nivel de lenguaje ensamblador, los parámetros son pasados a las subrutinas y como se crea y accesa un ambiente de trabajo local.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Visión panorámica de la historia de las computadoras digitales.</li> <li>▪ Introducción al conjunto de instrucciones de la arquitectura, microarquitectura y arquitectura del sistema.</li> <li>▪ Arquitectura del procesador, tipos de instrucción, conjuntos de registros y modos de direccionamiento.</li> <li>▪ Estructuras del procesador, memoria a registros y arquitecturas de carga/almacenamiento.</li> <li>▪ Secuencias de instrucciones, flujos de control, llamadas a subrutinas y mecanismos de retorno.</li> <li>▪ Estructura de programas a nivel de máquina.</li> <li>▪ Limitaciones de arquitecturas de bajo nivel.</li> <li>▪ Soporte de arquitecturas de bajo nivel para lenguajes de alto nivel.</li> </ul>
<b>Lecturas:</b> [Mano, 1992], [Brey, 2005]	

UNIDAD 3: AR/Arquitectura de Memoria.(6 horas)	
Nivel Bloom: 3	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Identificar los tipos principales de la tecnología de memoria.</li> <li>▪ Apreciar la necesidad de estándares de almacenamiento para mecanismos complejos de almacenamiento de datos tales como un DVD.</li> <li>▪ Entender porque la jerarquía de memorias es necesaria para reducir la latencia efectiva de la memoria.</li> <li>▪ Apreciar que la mayoría de datos en el bus de memoria de debe a a tráfico de recarga en la memoria cache.</li> <li>▪ Describir las varias formas de organizar la memoria cache y apreciar el punto de equilibrio entre costo y desempeño para cada configuración.</li> <li>▪ Apreciar la necesidad de la coherencia de la memoria cache en sistemas de múltiples procesadores.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Sistemas de almacenamiento y su tecnología (semi-conductores, magnéticos).</li> <li>▪ Estándares de almacenamiento (CD-ROM, DVD, Blue-Ray).</li> <li>▪ Jerarquía de memoria, latencia y rendimiento (<i>throughput</i>).</li> <li>▪ Memorias cache, principios de su operación, políticas de reemplazo, cache multinivel.</li> </ul>
<b>Lecturas:</b> [Norton, 1988], [Mano, 1992], [Brey, 2005]	

UNIDAD 4: AR/Interfases y Estrategias de I/O.(6 horas)	
Nivel Bloom: 3	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Apreciar la necesidad de comunicaciones <i>open-loop</i> y <i>closed-loop</i> y el uso de buffer para el control de flujo de datos.</li> <li>▪ Explicar como las interrupciones son utilizadas para implementar controles de I/I y transferencia de datos.</li> <li>▪ Identificar varios tipos de buses en un sistema de computadoras y entender como los dispositivos compiten y ganan el acceso al bus.</li> <li>▪ Prestar atención al progreso de la tecnología de buses y entender las características y el desempeño de un conjunto de buses modernos (seriales y paralelos).</li> </ul>	<ul style="list-style-type: none"> <li>▪ Fundamentos de entrada y salida: protocolos de inicio de comunicación (<i>handshaking</i>) y <i>buffering</i>.</li> <li>▪ Mecanismos de interrupción: en forma de vector y con prioridades, notificación de interrupción.</li> <li>▪ Buses: protocolos de buses, arbitraje, Acceso directo a memoria (DMA).</li> <li>▪ Buses modernos: <i>Peripheral Component Interconnect Express</i> (PCIe), USB, <i>Hypertransport</i>.</li> </ul>
<b>Lecturas:</b> [Brey, 2005]	

UNIDAD 5: AR/Organización Funcional.(6 horas)	
Nivel Bloom: 4	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Revisar el uso de lenguajes de transferencias de registros para describir operaciones internas de un computador.</li> <li>▪ Entender como una unidad de control de CPU interpreta una instrucción a nivel de máquina de forma directa o como un microprograma.</li> <li>▪ Apreciar como el desempeño de un procesador puede mejorar a través de la sobreposición de intrucciones simultaneamente.</li> <li>▪ Entender la diferencia entre el desempeño del procesador y desempeño del sistema (ej. los efectos de la memoria del sistema y desempeño global de buses y software).</li> <li>▪ Apreciar como arquitecturas superescalares utilizan unidades aritméticas múltiples para ejecutar más de una instrucción por ciclo de reloj..</li> <li>▪ Entender como el desempeño de una computadora es medido en términos de Millones de Instrucciones por Segundo (<i>Million of Instructions Per Second</i> – MIPS) o como un promedio de un conjunto de pruebas con números con punto flotante y enteros (SPECmarks) así como sus limitaciones para ambas medidas.</li> <li>▪ Apreciar la relación entre disipación de calor y desempeño de computadoras y la necesidad de minimizar el consumo de energia en aplicaciones móviles.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Revisión de lenguajes de transferencia de registro, para describir las operaciones internas en un computador.</li> <li>▪ Micro arquitecturas estructuradas y microprogramadas.</li> <li>▪ <i>Pipelining</i> de instrucciones y paralelismo a nivel de instrucciones (<i>Instruction-Level Parallelism</i>) .</li> <li>▪ Visión general de arquitecturas super escalares.</li> <li>▪ Desempeño de procesador y del sistema.</li> <li>▪ Desempeño: sus medidas y limitaciones.</li> <li>▪ El significado de la disipación de calor y sus efectos en estructuras de computadores.</li> </ul>
<b>Lecturas:</b> [Mano, 1992]	

UNIDAD 6: AR/Multiprocesamiento.(4 horas)	
Nivel Bloom: 4	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Discutir el concepto de procesamiento paralelo y la relación entre paralelismo y desempeño.</li> <li>▪ Apreciar que los tipos de datos multimedia (ej. audio y datos visuales de 8/16 bits) pueden ser procesados en paralelo en registros de 64 bits para mejorar el desempeño.</li> <li>▪ Entender como el desempeño puede ser mejorado incorporando múltiples procesadores en un único chip.</li> <li>▪ Apreciar la necesidad de expresar algoritmos en una forma que permita la ejecución en procesadores paralelos.</li> <li>▪ Entender como los procesadores gráficos de propósito especial (GPUs) pueden acelerar el desempeño de aplicaciones gráficas.</li> <li>▪ Entender la organización de estructuras computacionales que puedan ser electronicamente configuradas y reconfiguradas.</li> </ul>	<ul style="list-style-type: none"> <li>▪ La ley de Amdahl.</li> <li>▪ Procesamiento en vectores pequeños (operaciones multimedia).</li> <li>▪ Procesadores Multinúcleos y Multihebras.</li> <li>▪ La taxonomía de Flynn: Estructuras multiprocesador y arquitecturas.</li> <li>▪ Sistemas de programación de múltiples procesadores.</li> <li>▪ GPU y procesadores gráficos de propósito especial.</li> <li>▪ Introducción a la lógica reconfigurable y procesadores de propósito especial.</li> </ul>
<b>Lecturas:</b> [Brey, 2005]	

UNIDAD 7: AR/Mejoras de Desempeño.(2 horas)	
Nivel Bloom: 3	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Explicar el concepto de predicción de ramificación y su uso en la mejora del desempeño máquinas en paralelas.</li> <li>▪ Entender como la ejecución especulativa puede mejorar el desempeño.</li> <li>▪ Proveer una descripción detallada de arquitecturas super escalares y la necesidad de asegurar la corrección del programa cuando se ejecutan instrucciones fallidas (<i>out-of-order</i>).</li> <li>▪ Explicar la ejecución especulativa e identificar las condiciones que la justifican.</li> <li>▪ Discutir las ventajas en el desempeño que las multihebras pueden ofrecer junto con los factores que dificultan obtener el máximo beneficio de esta estrategia.</li> <li>▪ Apreciar la naturaleza de las arquitecturas VLIW y EPIC y su diferencia entre ellas así como entre procesadores superescalares.</li> <li>▪ Entender como un procesador reordena cargas y descargas de memoria para incrementar su desempeño.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Predicción de bifurcación.</li> <li>▪ Ejecución especulativa.</li> <li>▪ Arquitectura superescalar.</li> <li>▪ Ejecución fallida (<i>Out-of-order</i>).</li> <li>▪ Multi-hebras.</li> <li>▪ Escalabilidad.</li> <li>▪ Introducción a las arquitecturas <i>Very Long Instruction Word</i> (VLIW) y <i>Explicitly-Parallel Instruction Computer</i> (EPIC).</li> <li>▪ Prioridad de acceso a memoria.</li> </ul>
<b>Lecturas:</b> [Brey, 2005]	

UNIDAD 8: AR/Arquitecturas Distribuidas.(2 horas)	
Nivel Bloom: 3	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Explicar los componentes básicos de sistemas de redes y diferenciar entre LANs y WANs.</li> <li>▪ Discutir asuntos de arquitecturales involucrados en el diseño de protocolos de red por capas.</li> <li>▪ Explicar en qué se diferencian las arquitecturas de redes y de sistemas distribuidos.</li> <li>▪ Apreciar los requerimientos especiales de la computación inalámbrica.</li> <li>▪ Entender la diferencia entre los roles de la capa física y la capa de enlace de datos y apreciar como imperfecciones en la capa física son manejadas en la capa de enlace de datos.</li> <li>▪ Describir tecnologías emergentes y el área de computación centradas en redes así como evaluar las capacidades y limitaciones actuales y su potencial a corto plazo.</li> <li>▪ Entender como la capa de redes puede detectar y corregir errores.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Introducción a LANs y WANs y la historia de las redes y de la Internet.</li> <li>▪ Diseño de protocolos por capas, estándares de redes.</li> <li>▪ Computación en redes y multimedia distribuida.</li> <li>▪ Computación móvil e inalámbrica.</li> <li>▪ <i>Streams</i> and datagramas.</li> <li>▪ Conceptos de redes en la capa física.</li> <li>▪ Conceptos en la capa de enlace de datos (<i>framing</i>, control de errores, control de flujos, protocolos).</li> <li>▪ Conexión entre redes y ruteo (algoritmos de ruteo y control de congestión).</li> <li>▪ Servicios de la capa de transporte (establecimiento de conexión y asuntos de desempeño).</li> </ul>
<b>Lecturas:</b> [Brey, 2005]	

UNIDAD 9: AR/Dispositivos.(2 horas)	
Nivel Bloom: 3	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Entender como cantidades analógicas, como la presión, pueden ser representadas en forma digital y como el uso de representaciones finitas lleva a errores de cuantificación.</li> <li>▪ Appreciar la necesidad de estándares multimedia y estar preparado para explicar, en lenguaje no técnico, que es lo que busca el estándar.</li> <li>▪ Entender como señales multimedia usualmente deben ser comprimidos para conservar el ancho de banda usando codificación con pérdida (<i>lossless or lossy</i>).</li> <li>▪ Discutir el diseño, construcción y principios operativos de sensores de voltaje en un conductor eléctrico (<i>Hall-effect</i>) y medidores de tensión (<i>strain gauges</i>).</li> <li>▪ Appreciar como operan los dispositivos de entrada típicos.</li> <li>▪ Entender los principios de operación y desempeño de varios dispositivos visuales <i>displays</i>.</li> <li>▪ Estudiar la operación de dispositivos basados en computadoras de alto desempeño tales como cámaras digitales.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Representación digital de valores analógicos-cuantificación y muestreo.</li> <li>▪ Sonido y audio, imágenes y gráficos, animación y video multimedia.</li> <li>▪ Estándares multimedia: audio, música, gráficos, imagen, telefonía, video, TV.</li> <li>▪ Sensores de entrada: temperatura, presión, posición y movimiento.</li> <li>▪ Dispositivos de entrada: ratón, teclado (texto y musical), escaners, <i>touch screens</i>, de voz.</li> <li>▪ Dispositivos de salida: visuales <i>displays</i> e impresoras.</li> <li>▪ Codificación y decodificación de sistemas multimedia incluyendo compresión y descompresión.</li> <li>▪ Ejemplos de sistemas basados en computadores: <i>Global Positioning System</i> (GPS), <i>MPEG-1 Audio Layer 3</i> (MP3), cámaras digitales.</li> </ul>
Lecturas: [Brey, 2005]	

UNIDAD 10: AR/Tendencias en Computación.(2 horas)	
Nivel Bloom: 2	
OBJETIVO GENERAL	CONTENIDO
<ul style="list-style-type: none"> <li>▪ Appreciar la base física fundamental de la computación moderna.</li> <li>▪ Entender como las propiedades físicas de la materia imponen limitaciones a la tecnología de computadores.</li> <li>▪ Appreciar como la naturaleza cuántica de la materia puede ser explotada para permitir paralelismo masivo.</li> <li>▪ Appreciar como la luz puede ser usada para realizar ciertos tipos de cálculo.</li> <li>▪ Entender como las propiedades de moléculas complejas pueden ser explotadas por computadoras orgánicas.</li> <li>▪ Entender las tendencias en el diseño de memorias tales como <i>Ovonic Unified Memories</i> (OUM) y memorias ferromagnéticas.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Tecnología de semiconductores y la ley de Moore.</li> <li>▪ Limitaciones de la tecnología de semiconductores.</li> <li>▪ Computación cuántica.</li> <li>▪ Computación óptica.</li> <li>▪ Computación Molecular (Biológica).</li> <li>▪ Nuevas tecnologías de memorias.</li> </ul>
Lecturas: [Brey, 2005]	



## 8. METODOLOGÍA

El profesor del curso presentará clases teóricas de los temas señalados en el programa propiciando la intervención de los alumnos.

El profesor del curso presentará demostraciones para fundamentar clases teóricas.

El profesor y los alumnos realizarán prácticas

Los alumnos deberán asistir a clase habiendo leído lo que el profesor va a presentar. De esta manera se facilitará la comprensión y los estudiantes estarán en mejores condiciones de hacer consultas en clase.

## 9. EVALUACIONES

**Evaluación Permanente 1 : 20 %**

**Examen Parcial : 30 %**

**Evaluación Permanente 2 : 20 %**

**Examen Final : 30 %**

## Referencias

[Brey, 2005] Brey, B. B. (2005). *The Intel Microprocessors: 8086/8088, 80186, 80286, 80386, 80486, Pentium, Pentium Pro, and Pentium II, Pentium III, Pentium 4*. Prentice-Hall, 7th edition.

[Mano, 1992] Mano, M. M. (1992). *Computer System Architecture*. Prentice Hall, 3rd edition.

[Norton, 1988] Norton, P. (1988). *Peter Norton's Assembly Language Book for the IBM PC*. Peter Norton Foundation Series. Brady Publishing. 0136624537.